

## 延时可调的电压检测系列 ME2815

### 概述

ME2815 是一系列高精度、低消耗电流电压检测器，内置延时电路，可通过 Cd 端连接电容获得任意解除电压延时时间。ME2815 采用 CMOS 开漏输出。

### 特点

- 高精度：±1%
- 低消耗电流：0.5uA
- 检测电压：1.0V~5.0V(步进 0.1V)
- 工作电压：0.7V~6.0V
- 输出结构：CMOS
- 延时电路：可调延时时间

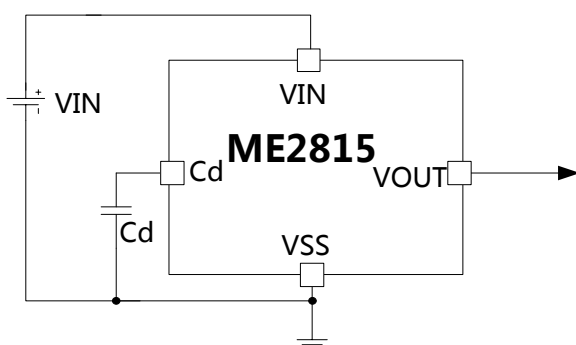
### 应用场合

- 微处理器复位电路
- 充电电压监测电路
- 电源掉电监测电路
- 记忆后备电池开关电路

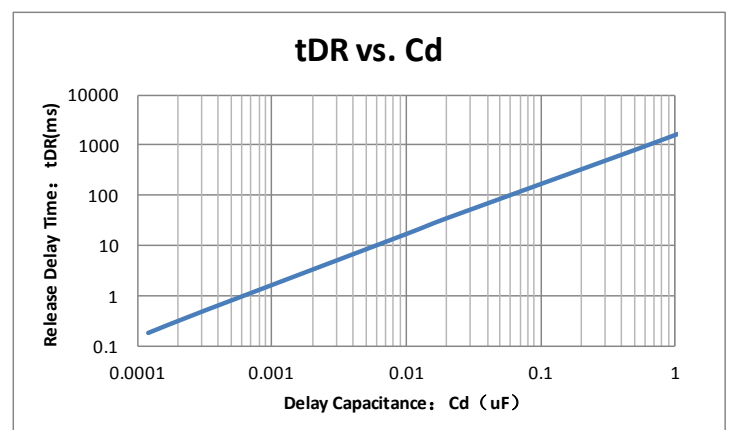
### 封装形式

- 5-pin SOT23-5

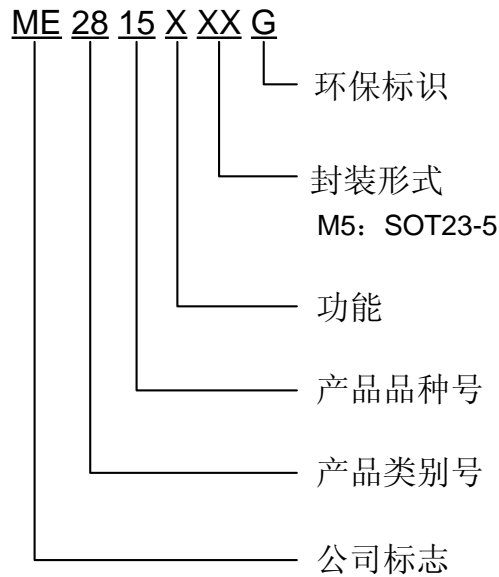
### 典型应用图



### 解除延时时间与延时电容



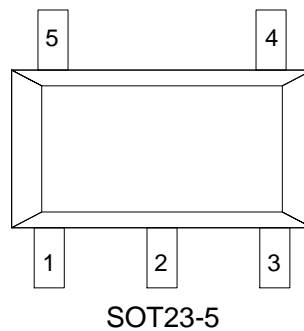
## 选购指南



产品系列	产品描述
ME2815A33M5G	封装形式: SOT23-5

注: 如需其他电压值或者封装形式的产品, 请联系我司销售人员。

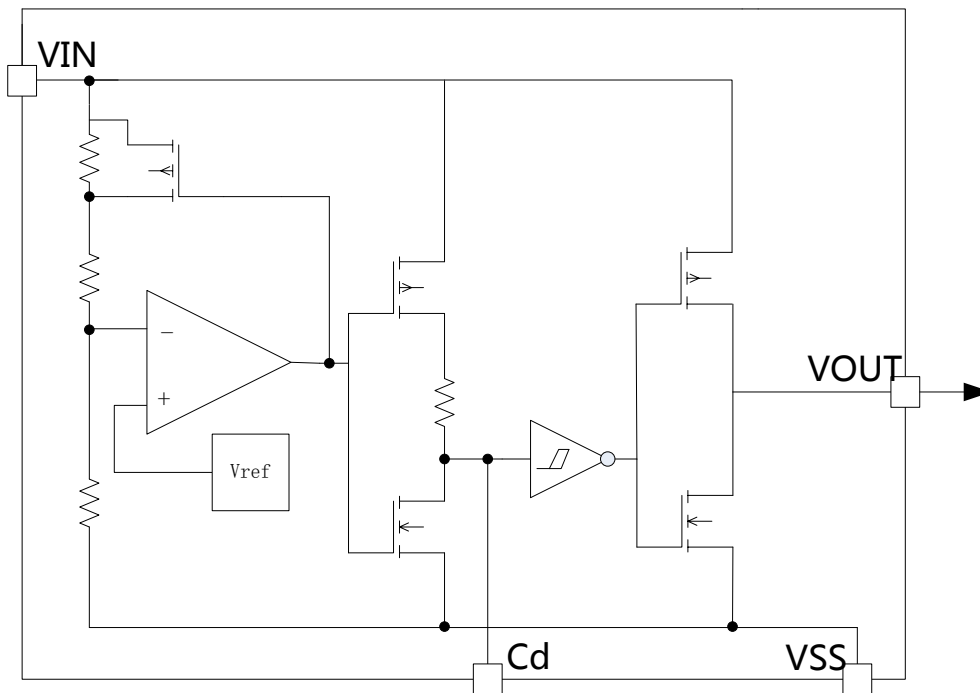
## 芯片脚位图



## 脚位功能说明

PIN 脚位	符号	功能说明
<b>SOT23-5</b>		
1	VIN	电源输入端
2	NC	空脚
3	VSS	地
4	Cd	延时电容端
5	VOUT	电压输出端

## 芯片功能示意图



## 绝对最大额定值

参数		极限值	单位
输入电压VIN		VSS-0.3 ~ 7.0	V
输出电流IOUT		10	mA
输出电压VOUT		VSS-0.3~7.0	V
电容延时端 VCD		VSS-0.3~VIN+0.3	V
电容延时端电流ICD		5.0	mA
封装功耗PD	SOT23-5	300	mW
工作温度Ta		-40~+85	°C
存储温度Tstg		-55~+150	°C

注意：绝对最大额定值是本产品能够承受的最大物理伤害极限值，请在任何情况下勿超出该额定值。

## 电气参数(正常条件 Ta=25℃ 除非另行标注)

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压	VIN	VDF(T)=0.8~5.0V (*1)	0.7		6.0	V
检测电压	VDF	VDF(T)=0.8~1.5V	VDF(T)*0.98	VDF(T)	VDF(T)*1.02	V
		VDF(T)=1.6~5.0V	VDF(T)*0.99	VDF(T)	VDF(T)*1.01	V
迟滞	VHYS	VIN=1.0~6.0V	VDF ×0.02	VDF ×0.05	VDF ×0.08	V
工作电流	ISS			0.5	1.2	μA
输出电流	IOUT1	VIN=0.7V DS=0.5V(Nch)	0.01	0.36		mA
		VIN=1.0V(*2) DS=0.5V(Nch)	0.1	0.7		
		VIN=2.0V(*3) DS=0.5V(Nch)	0.8	1.6		
		VIN=3.0V(*4) DS=0.5V(Nch)	1.2	2.0		
		VIN=4.0V(*5) DS=0.5V(Nch)	1.6	2.3		
	IOUT2	VIN=5.5V DS=0.5V(Pch)	3	5		mA
延时电阻(*6)	Rdelay	VIN=6.0V, Cd=0V	1.6	2.0	2.4	MΩ
温度特性	$\frac{\Delta VDF}{\Delta Ta} \cdot VDF$	Ta=-40℃~150℃		100		ppm
延时管脚电流	ICD	Cd=0.5V, VIN=0.7V	8	60		μA
延时管脚电压	VTCD	VIN=1.0V	0.4	0.5	0.6	V
		VIN=6.0V	2.9	3.0	3.1	

### 注:

\*1 VDF(T)设置检测电压

\*2: VDF(T)>1V

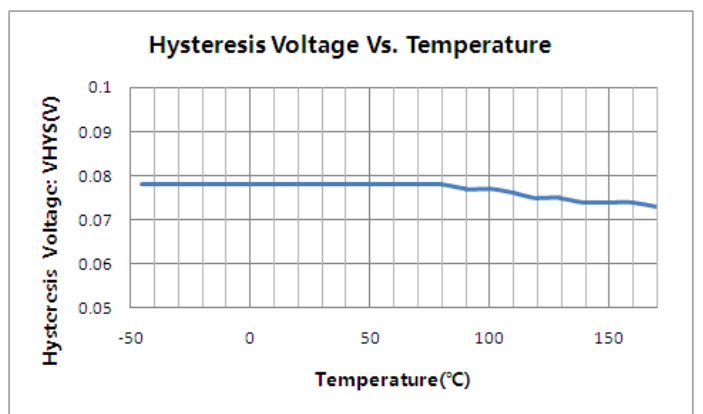
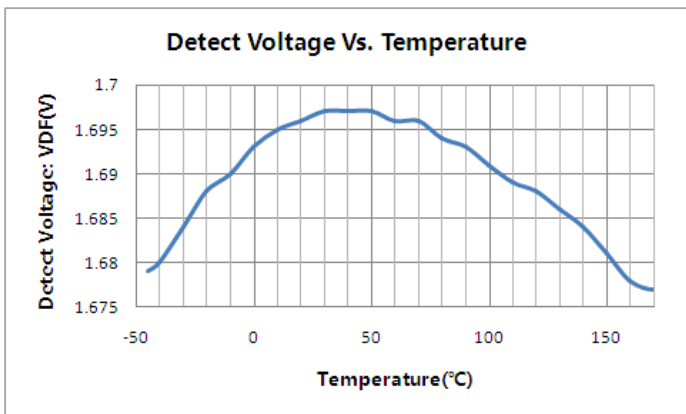
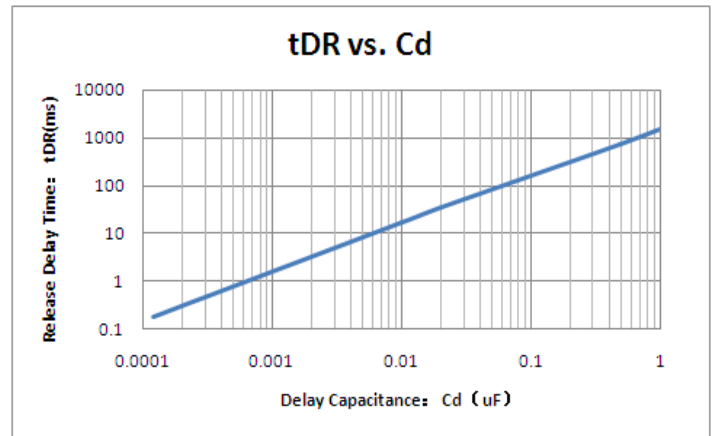
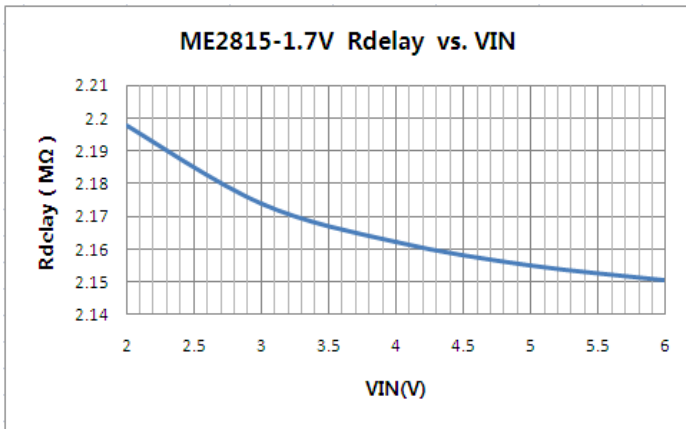
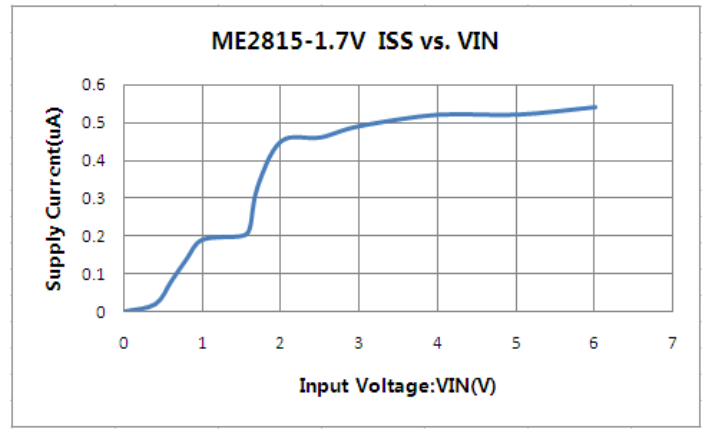
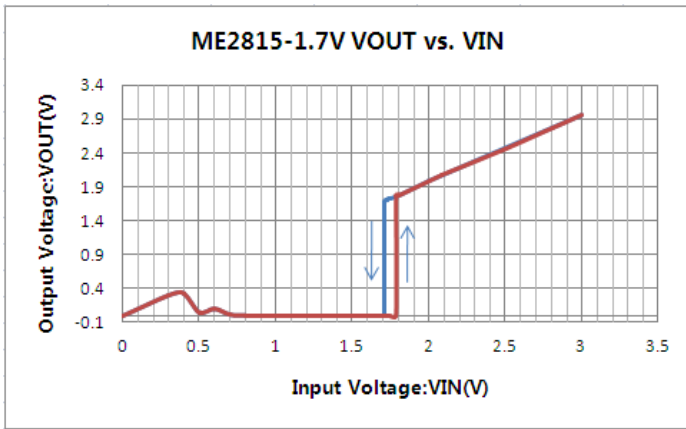
\*3: VDF(T)>2V

\*4: VDF(T)>3V

\*5: VDF(T)>4V

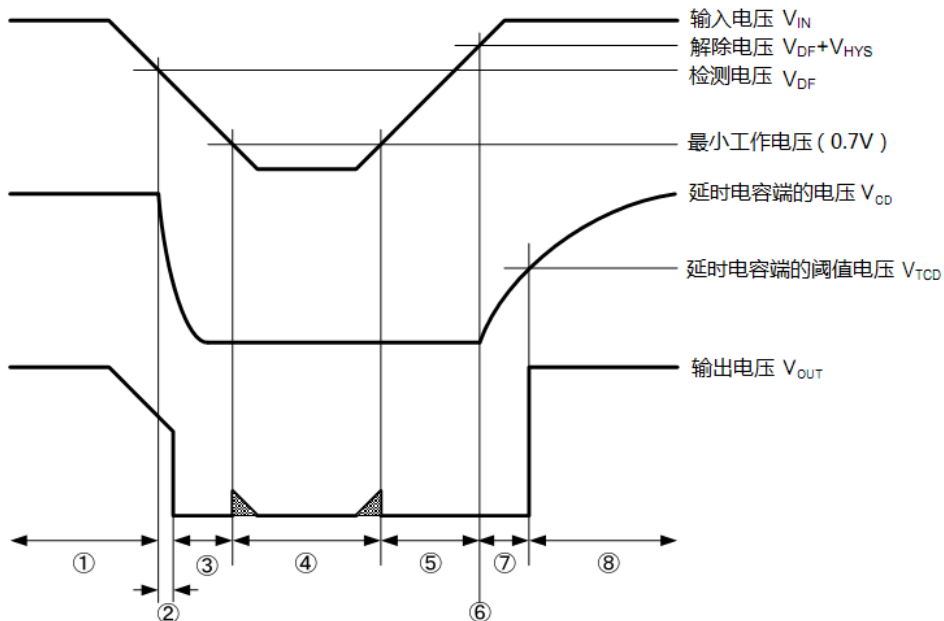
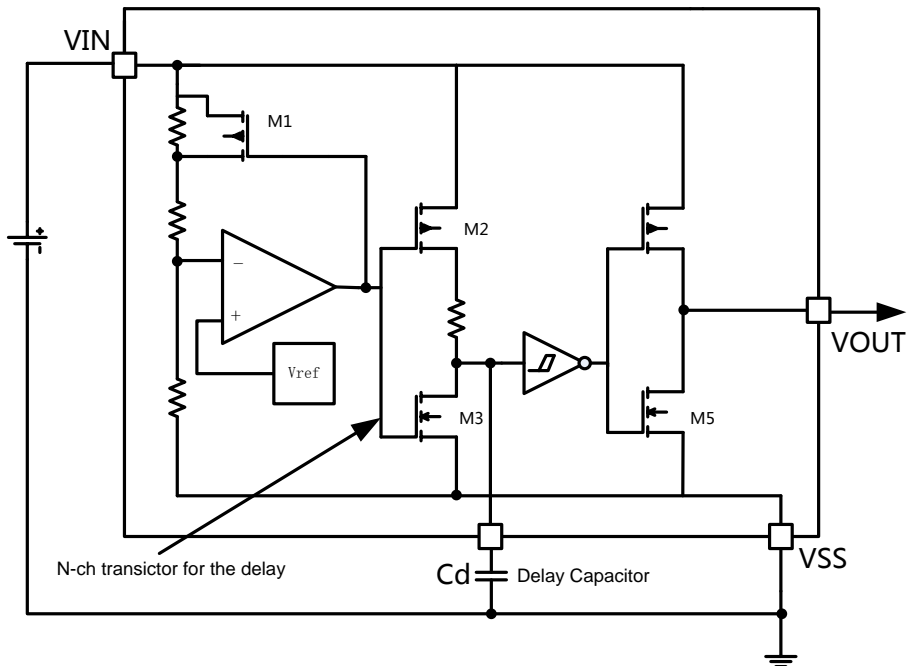
\*6:通过电阻两端的电压及电流计算得出

## 典型性能参数



## 原理描述:

典型应用电路示例及延时时间表如下:



- 1) 早期状态, 提供的  $V_{IN}$  输入电压引脚高于解除电压, 及  $C_d$  端的电容被充电至端电压等于输入电压  $V_{IN}$ , 当  $V_{IN}$  输入端电压开始下降接近检测电压 ( $V_{DF}$ ) ( $V_{IN} > V_{DF}$ ), 输出电压  $V_{OUT}$  一直保持“高”状态 ( $=V_{IN}$ )
- 2) 当  $V_{IN}$  输入电压不断下降与检测电压相等 ( $V_{IN} = V_{DF}$ ) 时, 延时电容放电 N 沟道晶体管开启,  $C_d$  端延时电容开始放电, 输出电压翻到低状态 ( $\cong V_{IN} \times 0.1$ ), 检测延时时间 ( $t_{DF}$ ) 定义为从  $V_{IN} = V_{DF}$  开始到  $V_{OUT}$  翻到“低”状态 ( $=V_{SS}$ ) 为止 (注: 当  $C_d$  端无连接时为:  $t_{DF0}$ )
- 3) 当输入电压  $V_{IN}$  继续低于检测电压, 且高于  $0.7V$ , 延时电容端放电至地电位 ( $=V_{SS}$ ), 输出电压 ( $V_{OUT}$ ) 保持“低”状态 ( $=V_{SS}$ )

- 4) 当输入电压下降到小于 0.7V, 或又增加到 0.7V 多更高, 输出电压 VOUT 可能不会保持低状态 VSS, 称这种工作状态为“不定态”, 这时的输出电压被定义为不定态电压(VUNS)
- 5) 当输入电压增加至大于 0.7V, 且未达到解除电压时( $V_{IN} < V_{DF} + V_{HYS}$ ), 输出电压(VOUT)保持为“低”状态 (=VSS)
- 6) 当输入电压大于 0.7V 以上继续增大至解除电压( $=V_{DF} + V_{HYS}$ ), 延时电容的放电 N 沟道 MOS 管关闭, 电源电压 VIN 经过一个延时电阻(RDELAY)开始给延时电容充电。  
当输入电压大于检测电压时( $V_{IN} > V_{DF}$ ), Cd 端作为内部迟滞比较器电路的输入电压, (其上升沿比较翻转阈值为  $V_{TLH}=V_{TCD}$ , 下降阈值为  $V_{THL}=V_{SS}$ )
- 7) 当输入电压与解除电压相等或者高于且保持大于等于解除电压, 延时电容 (Cd) 被充电至 VIN 电源电压, 当延时电容端电压 (VCD) 达到此端的阈值电压值(VTCD)时, 输出电压翻转至“高”(=VIN)状态, 定义 tDR 时间为: 从电源电压  $V_{IN} = V_{DF} + V_{HYS}$  开始到输出电压为“高”状态为止 (注: Cd 没有连接时为 tDR0)

解除延时时间 tDR 可通过以下公式(1)得到:

$$tDR = R_{Delay} \times C_d \times \ln(1 - V_{TCD} / V_{IN}) + tDR0 \quad (1)$$

由于延时电阻 RDelay 为 2.0MΩ(TYP.)及延时电容端阈值电压 VTCD 为 VIN /2 (TYP.), 解除延时间也可以简化为公式(2)

$$tDR = R_{Delay} \times C_d \times 0.69 \quad (2)$$

例如: 假设延时电容为 0.68μF,  $tDR$  is  $=2.0 \times 10^6 \times 0.68 \times 10^{-6} \times 0.69 = 938$ (ms)

\*注 由于 3) 描述时间比较短, 当延时电容没有完全放电到低(=VSS)状态时, 解除延时时间可能会明显短

- 8) 当输入电压高于检测电压( $V_{IN} > V_{DF}$ ), 此时输出电压保持“高”(=VIN)状态。

解除延时时间表

延时端电容[Cd] (uF)	解除延时时间[Cd](TYP)(ms)	解除延时时间[Cd] (MIN.-MAX.) *1 (ms)
0.01	13.8	11.0~16.6
0.022	30.4	24.3~36.4
0.047	64.9	51.9~77.8
0.1	138	110~166
0.22	304	243~364
0.47	649	519~778
1.0	1380	1100~1660

\*1 解除时间通过公式(2)计算得到

\*1 延时端电容(Cd)影响解除延时时间

## 应用信息

1. 请在各参数极限值内使用此 IC，短暂电压下降或电压上升情况，IC 可能出现故障。
2. 工作状态时，如果供电电源与 VIN 管脚端之间连接有电阻，此电阻有电流流过，IC 输入管脚的电压会下降，此时，如果输入管脚电压下降到最小工作电压以下，工作状态可能会发生错误，CMOS 输出形式，同样输出电流会影响输入管脚电压，此时会引起振荡，特别注意 此 IC 使用时 VIN 管脚连接电阻。
3. 注意快速的瞬态尖峰输入电压会引起错误的工作状态
4. 供电电源的噪声会引起工作状态的错误，注意要在 VIN 与 GND 之间外部连接有电容
5. 若输入引脚电压 VIN 有迅速下降的可能（例如：6.0v 到 0V），在解除延时应用中，延时端连接有延时电容，请使用肖特基势垒二极管连接在 VIN 引脚和 Cd 引脚之间，如图 3 所示。

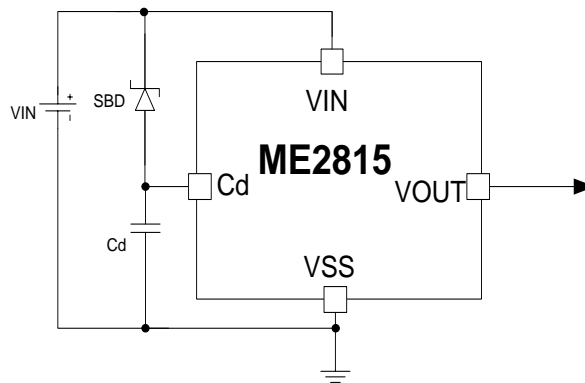
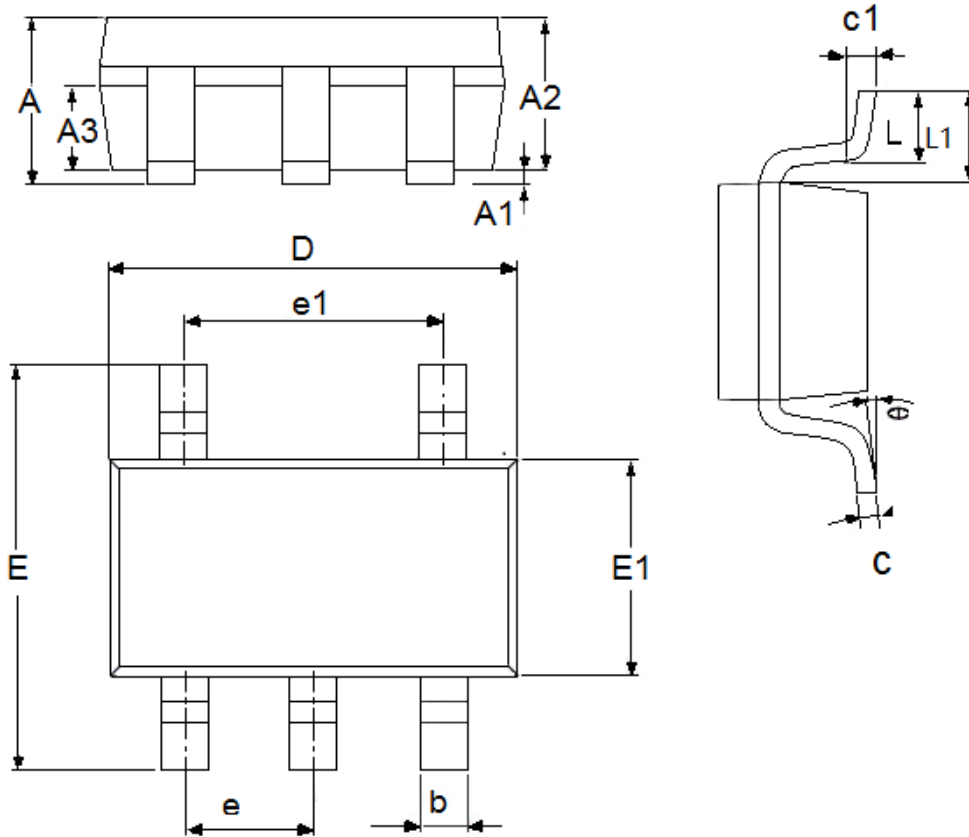


图 3



## 封装信息

- SOT23-5



参数	尺寸 (mm)		尺寸 (Inch)	
	最小值	最大值	最小值	最大值
A	1.05	1.45	0.0413	0.0571
A1	0	0.15	0.0000	0.0059
A2	0.9	1.3	0.0354	0.0512
A3	0.6	0.7	0.0236	0.0276
b	0.25	0.5	0.0098	0.0197
c	0.1	0.23	0.0039	0.0091
D	2.82	3.05	0.1110	0.1201
e1	1.9(TYP)		0.0748(TYP)	
E	2.6	3.05	0.1024	0.1201
E1	1.5	1.75	0.0512	0.0689
e	0.95(TYP)		0.0374(TYP)	
L	0.25	0.6	0.0098	0.0236
L1	0.59(TYP)		0.0232(TYP)	
θ	0	8°	0.0000	8°
c1	0.2(TYP)		0.0079(TYP)	

- 本资料内容，随产品的改进，可能会有未经预告之更改。
- 本资料所记载设计图等因第三者的工业所有权而引发之诸问题，本公司不承担其责任。另外，应用电路示例为产品之代表性应用说明，非保证批量生产之设计。
- 本资料内容未经本公司许可，严禁以其他目的加以转载或复制等。
- 本资料所记载之产品，未经本公司书面许可，不得作为健康器械、医疗器械、防灾器械、瓦斯关联器械、车辆器械、航空器械及车载器械等对人体产生影响的器械或装置部件使用。
- 尽管本公司一向致力于提高质量与可靠性，但是半导体产品有可能按照某种概率发生故障或错误工作。为防止因故障或错误动作而产生人身事故、火灾事故、社会性损害等，请充分留心冗余设计、火势蔓延对策设计、防止错误动作设计等安全设计。